

Requested Patent: WO0050946A1

Title:

PRINTED CIRCUIT BOARD FOR ELECTRICAL AND OPTICAL SIGNALS AND
METHOD FOR PRODUCING THE SAME ;

Abstracted Patent: WO0050946 ;

Publication Date: 2000-08-31 ;

Inventor(s): STRAUB PETER LEO (CH) ;

Applicant(s): PPC ELECTRONIC AG (CH); STRAUB PETER LEO (CH) ;

Application Number: WO2000CH00056 20000202 ;

Priority Number(s): CH19990000335 19990223 ;

IPC Classification: G02B6/43; G02B6/13 ;

Equivalents:

AU2090400, DE10080449D, EP1155348 (WO0050946), FI20011614, GB2363522,
SE0102784 ;

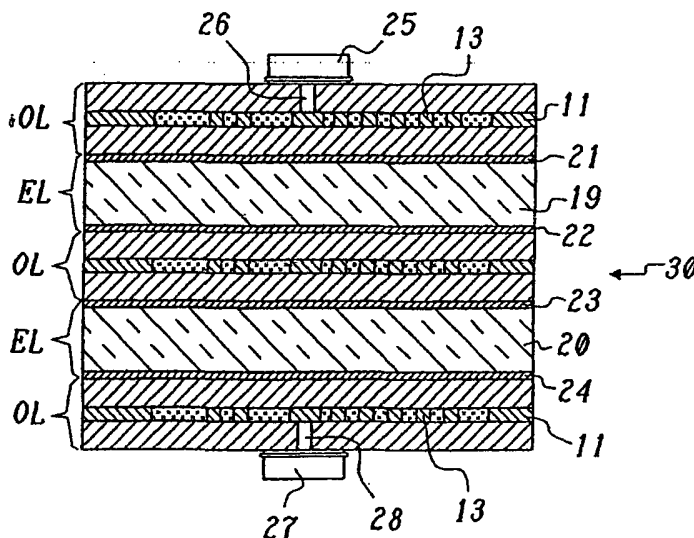
ABSTRACT:

The invention relates to a printed circuit board (30) which has at least one electrical conduction level (EL) for relaying electrical signals and/or currents and at least one optical conduction level (OL) for relaying optical signals. Said conduction levels (EL, OL) are placed on top of each other in a stack inside the printed circuit board (30) and are interconnected. The aim of the invention is to provide a particularly flexible and simple construction and a simplified production method. To this end, the optical conduction level (OL) comprises at least one thin glass layer (11) as a conductor element.

PCT
 WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



<p>(51) Internationale Patentklassifikation 7 : G02B 6/43, 6/13</p>	A1	<p>(11) Internationale Veröffentlichungsnummer: WO 00/50946</p> <p>(43) Internationales Veröffentlichungsdatum: 31. August 2000 (31.08.00)</p>		
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top; border: none; padding: 5px;"> <p>(21) Internationales Aktenzeichen: PCT/CH00/00056</p> <p>(22) Internationales Anmeldedatum: 2. Februar 2000 (02.02.00)</p> <p>(30) Prioritätsdaten: 335/99 23. Februar 1999 (23.02.99) CH</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): PPC ELECTRONIC AG [CH/CH]; Riedstrasse 2, CH-6330 Cham (CH).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): STRAUB, Peter, Leo [CH/CH]; Fuchsloch 10, CH-6317 Oberwil/Zug (CH).</p> <p>(74) Anwalt: OTTOW, Jens, M.; Hug Interlizenz AG, Nordstrasse 31, CH-8035 Zürich (CH).</p> </td> <td style="width: 50%; vertical-align: top; border: none; padding: 5px;"> <p>(81) Bestimmungsstaaten: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, ARIPO Patent (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).</p> <p>Veröffentlicht Mit internationalem Recherchenbericht.</p> </td> </tr> </table>			<p>(21) Internationales Aktenzeichen: PCT/CH00/00056</p> <p>(22) Internationales Anmeldedatum: 2. Februar 2000 (02.02.00)</p> <p>(30) Prioritätsdaten: 335/99 23. Februar 1999 (23.02.99) CH</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): PPC ELECTRONIC AG [CH/CH]; Riedstrasse 2, CH-6330 Cham (CH).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): STRAUB, Peter, Leo [CH/CH]; Fuchsloch 10, CH-6317 Oberwil/Zug (CH).</p> <p>(74) Anwalt: OTTOW, Jens, M.; Hug Interlizenz AG, Nordstrasse 31, CH-8035 Zürich (CH).</p>	<p>(81) Bestimmungsstaaten: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, ARIPO Patent (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).</p> <p>Veröffentlicht Mit internationalem Recherchenbericht.</p>
<p>(21) Internationales Aktenzeichen: PCT/CH00/00056</p> <p>(22) Internationales Anmeldedatum: 2. Februar 2000 (02.02.00)</p> <p>(30) Prioritätsdaten: 335/99 23. Februar 1999 (23.02.99) CH</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): PPC ELECTRONIC AG [CH/CH]; Riedstrasse 2, CH-6330 Cham (CH).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): STRAUB, Peter, Leo [CH/CH]; Fuchsloch 10, CH-6317 Oberwil/Zug (CH).</p> <p>(74) Anwalt: OTTOW, Jens, M.; Hug Interlizenz AG, Nordstrasse 31, CH-8035 Zürich (CH).</p>	<p>(81) Bestimmungsstaaten: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, ARIPO Patent (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).</p> <p>Veröffentlicht Mit internationalem Recherchenbericht.</p>			
<p>(54) Title: PRINTED CIRCUIT BOARD FOR ELECTRICAL AND OPTICAL SIGNALS AND METHOD FOR PRODUCING THE SAME</p> <p>(54) Bezeichnung: LEITERPLATTE FÜR ELECTRISCHE UND OPTISCHE SIGNALE SOWIE VERFAHREN ZU DEREN HERSTELLUNG</p> <p>(57) Abstract</p> <p>The invention relates to a printed circuit board (30) which has at least one electrical conduction level (EL) for relaying electrical signals and/or currents and at least one optical conduction level (OL) for relaying optical signals. Said conduction levels (EL, OL) are placed on top of each other in a stack inside the printed circuit board (30) and are interconnected. The aim of the invention is to provide a particularly flexible and simple construction and a simplified production method. To this end, the optical conduction level (OL) comprises at least one thin glass layer (11) as a conductor element.</p> <p>(57) Zusammenfassung</p> <p>Bei einer Leiterplatte (30) mit wenigstens einer elektrischen Leitungsebene (EL) zur Weiterleitung von elektrischen Signalen und/oder Strömen sowie wenigstens einer optischen Leitungsebene (OL) zur Weiterleitung von optischen Signalen, welche Leitungsebenen (EL, OL) innerhalb der Leiterplatte (30) in einem Stapel übereinander angeordnet und miteinander verbunden sind, wird ein besonders flexibler und einfacher Aufbau bei gleichzeitig vereinfachter Herstellung dadurch erreicht, dass die optische Leitungsebene (OL) als leitendes Element wenigstens eine Dünnglasschicht (11) umfasst.</p>				



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

BESCHREIBUNG

LEITERPLATTE FÜR ELEKTRISCHE UND OPTISCHE SIGNALE SOWIE VERFAHREN ZU DEREN HERSTELLUNG

TECHNISCHES GEBIET

Die vorliegende Erfindung bezieht sich auf das Gebiet der Leiterplattentechnik. Sie betrifft eine Leiterplatte mit wenigstens einer elektrischen Leitungsebene zur Weiterleitung von elektrischen Signalen und/oder Strömen sowie wenigstens einer optischen Leitungsebene zur Weiterleitung von optischen Signalen, welche Leitungsebenen innerhalb der Leiterplatte in einem Stapel übereinander angeordnet und miteinander verbunden sind.

Eine solche Leiterplatte ist z.B. aus der Druckschrift US-A-5,408,568 bekannt.

Die Erfindung betrifft weiterhin ein Verfahren zur Herstellung einer solchen Leiterplatte.

STAND DER TECHNIK

Das Bedürfnis nach immer höheren Taktraten und schnelleren Signalübertragungen ist durch Kupferleitungen langfristig nicht mehr in ausreichender Qualität zu erfüllen. Durch optische Uebertragungswege (Lichtwellenleiter) ist es möglich, innerhalb von Montagerückwänden ("backplanes") und auch auf Systemboards Signale mit höchster Uebertragungsrate zu übertragen. Eine hohe Störsicherheit gegenüber elektromagnetischer Störstrahlung ist dabei ein sehr angenehmer Nebeneffekt, der besonders auf der elektrischen Backplane von besonderer Bedeutung ist. Eine solche Backplane ist beispielsweise verantwortlich für den Datenaustausch zwischen den einzelnen Prozessorkarten eines Multi-Prozessor-Hochleistungsrechners.

Es sind nun bereits verschiedentlich Vorschläge gemacht worden, um optische Datenübertragungswege in mehrlagige Leiterplatten zu integrieren. In der US-A-5,230,030 wird ein optisches Interface zur Ankopplung an eine elektronische Schaltung in Form von Multichip-Modulen beschrieben. Die einzelnen ICs sind auf einer mehrlagigen Leiterplatte montiert, die als Stapel aus alternierend angeordneten elektrisch leitenden und isolierenden Schichten besteht. In den isolierenden Schichten, die aus einem optisch durchsichtigen Material mit niedrigem Brechungsindex bestehen, werden Kanäle ausgehoben, die anschliessend mit einem anderen durchsichtigen Kunststoff mit höherem Brechungsindex aufgefüllt werden. Die Auffüllungen bilden dann optische Leiter, die einerseits in Verbindung mit den ICs stehen und andererseits an den Rand des Stapels geführt werden, um dort durch einen entsprechenden Stecker von aussen anschliessbar zu sein. Diese Art der Integration von optischen Leitern in eine Leiterplatte ist nicht nur aufwendig, weil die Leiterplatte sukzessive Schicht für Schicht aufgebaut und strukturiert werden muss. Die auf diese Weise erzeugte Qualität der optischen Leiter lässt auch zu wünschen übrig, weil beim Auffüllen der Kanäle mit dem optisch wirkenden Material eine gleichmässige und homogene Leiterstruktur nur schwer zu erreichen ist.

Ein anderer Vorschlag, der in der eingangs genannten Druckschrift US-A-5,408,568 offenbart ist, integriert eine ganzflächige optische Schicht als Zwischenlage in eine mehrlagige Leiterplatte. Die optische Schicht wird an einer Seite durch eine stumpf aufgesetzte Lichtleitfaser nach aussen hin angekoppelt. Der Anschluss der auf der Oberseite der Leiterplatte platzierten Chips geschieht durch Bohrungen unterhalb der Chips, die bis zur optischen Schicht hinunterreichen. Die optische Schicht wirkt als einheitlicher optischer Datenbus, über den alle Chips untereinander oder mit der Aussenwelt Daten austauschen können. Ueber Dicke und Material dieser optischen Schicht werden in der Druckschrift keine Angaben gemacht. In der Fig. 1 der Schrift ist die optische Schicht mit derselben Dicke dargestellt wie die gedruckten Schaltungsplatten, zwischen denen sie angeordnet ist. Diese Art des Aufbaus dürfte daher für Leiterplatten mit mehreren optischen Ebenen und definierten optischen Verbindungen zwischen ausgewählten Chips nicht geeignet sein.

DARSTELLUNG DER ERFINDUNG

Es ist daher Aufgabe der Erfindung, eine Leiterplatte für elektrische und optische Signale zu schaffen, die sich durch eine hohe Qualität der optischen Verbindungen, durch einen flexibel anpassbaren und leicht zu variierenden Aufbau sowie durch eine einfache Integration in bekannte Herstellungsverfahren für mehrlagige Leiterplatten auszeichnet.

Die Aufgabe wird bei einer Leiterplatte der eingangs genannten Art dadurch gelöst, dass die optische Leitungsebene als leitendes Element wenigstens eine Dünnglasschicht umfasst. Unter Dünnglasschicht wird dabei eine plattenartige Glasschicht geringer Dicke (ungefähr 1 mm Dicke und weniger) aber zugleich hoher optischer Qualität (Planität der Flächen) verstanden, wie sie z.B. für LCD-Displays, Solarzellen oder als Abdeckung für CCD-Schaltungen eingesetzt wird. Durch den Einsatz derartiger Dünnglasschichten ist es möglich, innerhalb der

Leiterplatte eine oder mehrere platzsparende optische Leitungsebene(n) hoher Uebertragungsqualität vorzusehen, die zudem bei Bedarf auf einfache Weise strukturiert werden können, um eine lokalisierte optische Verbindung innerhalb der Leiterplatte zu realisieren.

Eine erste bevorzugte Ausführungsform der Leiterplatte nach der Erfindung zeichnet sich dadurch aus, dass die optische Leitungsebene jeweils durch ein optisches Sandwich gebildet wird, welches neben der wenigstens einen Dünnglasschicht wenigstens eine Trägerplatte umfasst, die mit der wenigstens einen Dünnglasschicht flächig verbunden ist. Durch die Kombination der Dünnglasschicht mit einer Trägerplatte ist es möglich, das entstehende optische Sandwich separat von der Herstellung der eigentlichen Leiterplatte vorzufertigen und flexibel den jeweiligen Bedürfnissen der Schaltung anzupassen (z.B. zu strukturieren). Das vorgefertigte optische Sandwich kann dann ohne wesentliche Änderungen der Prozessführung als zusätzliche Leitungsebene bzw. -lage in einen herkömmlichen Herstellungsprozess für eine mehrlagige Leiterplatte eingeführt werden.

Es ist dabei möglich, dass das optische Sandwich wenigstens zwei Trägerplatten umfasst, zwischen denen die wenigstens eine Dünnglasschicht angeordnet ist. Die Dünnglasschicht ist dann für die weitere Verarbeitung vollständig geschützt. Es ist aber auch ebensogut möglich, dass das optische Sandwich wenigstens zwei Dünnglasschichten umfasst, welche mit der wenigstens einen Trägerplatte flächig verbunden sind, wobei entweder die wenigstens zwei Dünnglasschichten auf einer Seite der wenigstens einen Trägerplatte angeordnet und miteinander flächig verbunden sind, oder die wenigstens zwei Dünnglasschichten auf gegenüberliegenden Seiten der wenigstens einen Trägerplatte angeordnet sind. Auf diese Weise lassen sich pro optischem Sandwich zwei unterschiedliche, separat auslegbare optische Leitungsebenen in die Leiterplatte integrieren. Selbstverständlich kann die Anzahl der Trägerplatten und Dünnglasschichten pro optischem Sandwich im Rahmen der Erfindung auch weiter erhöht werden, wodurch sich die Herstellung allerdings verkompliziert.

Ein zweite bevorzugte Ausführungsform der erfindungsgemässen Leiterplatte ist dadurch gekennzeichnet, dass die Trägerplatten aus einem elektrisch isolierenden Material, welches als Basismaterial für die Herstellung elektrischer Leiterplatten Verwendung findet, vorzugsweise aus einem aramidverstärkten Harz, bestehen. Dadurch wird gewährleistet, dass sich die optischen Sandwiches besonders gut in den herkömmlichen Herstellungsprozess für mehrlagige Leiterplatten einfügen lassen.

Die Dünnglasschichten weisen vorzugsweise eine Dicke kleiner gleich 1,1 mm auf und bestehen aus einem Borosilikatglas. Ein solches Dünnglas, das beispielsweise unter den Typenbezeichnungen AF 45 und D 263 von der deutschen Firma DESAG für Anwendungen in LCD-Displays oder Solarzellen angeboten wird, und in Dicken zwischen 30 μm und 1,1 mm erhältlich ist, ist als optische Leitungsschicht wegen der hohen optischen Qualität besonders geeignet.

Grundsätzlich kann die Dünnglasschicht unstrukturiert sein und bildet dann einen einzigen, einfach zusammenhängenden, durchgehenden optischen Leiter. Eine weitere bevorzugte Ausführungsform der Leiterplatte nach der Erfindung zeichnet sich jedoch dadurch aus, dass zumindest einzelne der Dünnglasschichten derart strukturiert sind, dass innerhalb der Schicht einzelne, durch Zwischenräume voneinander getrennte optische Leiter entstehen. Auf diese Weise können in einer Ebene ein Vielzahl von untereinander unabhängigen optischen Leitern erzeugt werden, die ohne gegenseitige Störung verschieden Uebertragungsaufgaben übernehmen können.

Die optischen Eigenschaften der einzelnen optischen Leiter können dann dadurch optimiert werden, dass entweder die freiliegenden Oberflächen der einzelnen optischen Leiter mit einer Reflexionsschicht bedeckt sind, oder die Zwischenräume zwischen den optischen Leitern mit einem Füllmaterial aufgefüllt sind, das insbesondere einen Brechungsindex hat, der kleiner ist als der Brechungsindex des Glases der Dünnglasschicht.

Eine weitere bevorzugte Ausführungsform der erfindungsgemässen Leiterplatte ist dadurch gekennzeichnet, dass zur optischen Ankopplung von auf der Ober- und/oder Unterseite der Leiterplatte angeordneten optisch aktiven Elementen Koppelöffnungen vorgesehen sind, durch welche die in einer optischen Leitungsebene liegende(n) verdeckte(n) Dünnglasschicht bzw. optischen Leiter von aussen zugänglich sind.

Das erfindungsgemässe Verfahren zur Herstellung einer Leiterplatte ist dadurch gekennzeichnet, dass in einem ersten Schritt wenigstens eine Dünnglasschicht mit wenigstens einer Trägerplatte ganzflächig zu einem optischen Sandwich verbunden wird, und dass in einem zweiten Schritt das optische Sandwich als optische Leitungsebene mit einer oder mehreren elektrischen Leitungsebene(n) in einer Stapelanordnung zu der Leiterplatte verbunden wird, wobei die Dünnglasschicht und die Trägerplatte vorzugsweise durch Verpressen bzw. Verkleben miteinander verbunden werden.

Weitere Ausführungsformen ergeben sich aus den abhängigen Ansprüchen.

KURZE ERLÄUTERUNG DER FIGUREN

Die Erfindung soll nachfolgend anhand von Ausführungsbeispielen im Zusammenhang mit der Zeichnung näher erläutert werden. Es zeigen

Fig. 1A-D in perspektivischer, teilweise geschnittener Darstellung verschiedenen Stufen bei der Herstellung eines "optischen Sandwich" mit strukturierter Dünnglasschicht gemäss einem bevorzugten Ausführungsbeispiel der Erfindung;

Fig. 2 ein zu Fig. 1D alternatives Ausführungsbeispiel mit einer Dünnglasschicht zwischen zwei Trägerplatten;

- Fig. 3 ein zu Fig. 1D alternatives Ausführungsbeispiel mit zwei übereinander angeordneten Dünnglasschichten auf einer Seite der Trägerplatte;
- Fig. 4 ein zu Fig. 1D alternatives Ausführungsbeispiel mit zwei Dünnglasschichten auf den gegenüberliegenden Seiten der Trägerplatte;
- Fig. 5 in einer vergrösserten Schnittdarstellung das optische Sandwich nach Fig. 1D mit den durch ein optisch angepasstes Füllmaterial ausgefüllten Zwischenräumen der strukturierten Dünnglasschicht;
- Fig. 6 ein zu Fig. 5 alternatives Ausführungsbeispiel mit einer Abdeckung der strukturierten Dünnglasschicht durch eine Reflexionsschicht; und
- Fig. 7 ein Ausführungsbeispiel einer Leiterplatte nach der Erfindung mit drei optischen Leitungsebenen (Sandwiches) gemäss Fig. 2, die durch zwei dazwischenliegende elektrische Leitungsebenen voneinander getrennt sind.

WEGE ZUR AUSFÜHRUNG DER ERFINDUNG

Bei der Herstellung einer Leiterplatte nach der Erfindung werden zunächst einzelne sogenannte "optische Sandwiches" hergestellt, welche in der späteren Leiterplatte die optische Leitungsebene bilden. Die Herstellung der optischen Sandwiches läuft in mehreren Schritten ab, die beispielhaft in den Fig. 1A bis 1D wiedergegeben sind. Ausgegangen wird von einer Trägerplatte 10 (Fig. 1A), die auf der Ober- und Unterseite plane Flächen aufweist und aus einem elektrisch isolierenden Material besteht, wie es bei der Herstellung elektrischer Leiterplatten verwendet wird. Damit ist sichergestellt, dass das fertige optische Sandwich von sei-

nen Materialeigenschaften her gut in vorhanden Leiterplattenprozesse integrierbar ist. Verwendet wird als Material vorzugsweise ein aramidverstärktes Harz. Derartige Trägerplatten sind z.B. unter der Typbezeichnung Duramid-P-Cu 115 ML von der deutschen Firma Isola erhältlich. Es ist aber auch jedes andere Isolationsmaterial mit isotropen Eigenschaften und glasähnlichen Ausdehnungskoeffizienten verwendbar. Die Dicke der Trägerplatte 10 ist dabei so gewählt, dass die Trägerplatte 10 dem optischen Sandwich einerseits eine ausreichende mechanische Stabilität verleiht, dass sie aber andererseits bei der späteren Integration in die Leiterplatte nicht unnötig viel Höhe beansprucht.

Die Trägerplatte 10 wird nun gemäss Fig. 1B flächig mit einer Dünnglasschicht 11 mittels Verpressen bzw. Verkleben verbunden. Die Dünnglasschicht 11 besteht vorzugsweise aus einem Borosilikatglas und hat eine Dicke von kleiner gleich 1,1 mm (30 μ m bis 1,1 mm). Dünngläser dieser Art sind beispielsweise unter der Typenbezeichnung AF 45 und D 263 von der deutschen Firma DESAG erhältlich. Das Dünnglas AF 45 ist ein modifiziertes Borosilikatglas mit einem hohen Gehalt an BaO und Al₂O₃ und zeichnet sich unter anderem durch einen niedrigen thermischen Ausdehnungskoeffizienten und eine hohe Lichtdurchlässigkeit aus. Durch die engen Toleranzen und die feuerpolierten Oberflächen ist es besonders geeignet für flächige optische Anwendungen wie z.B. LCD-Displays, Abdeckungen von CCD-Elementen, Solarzellen oder dgl.. Das Dünnglas D 263 ist ein Borosilikatglass mit entsprechenden optischen Eigenschaften. Beide Dünngläser sind mit einer Dicke im Bereich zwischen 30 μ m bis 1,1 mm erhältlich.

Wenn in der späteren Leiterplatte die optische Leitungsebene nur als gemeinsamer Datenbus vorgesehen ist, kann ein optisches Sandwich gemäss Fig. 1B mit unstrukturierter Dünnglasschicht direkt in die Leiterplatte integriert werden (siehe Fig. 7). Werden dagegen in der Leiterplatte einzelne optische Leitungsverbindungen zwischen verschiedenen Punkten der Platte benötigt, wird die Dünnglasschicht nach dem Aufbau des optischen Sandwiches gemäss Fig. 1C strukturiert, indem die Dünnglasschicht in bestimmten Bereichen vollständig abgetragen wird, um Zwischenräume 12 zwischen einzelnen optischen Leitern 13 zu bilden. Die

einzelnen optischen Leiter 13 können dabei (wie in Fig. 1C dargestellt) unterschiedliche Breiten aufweisen. Sie können untereinander parallel verlaufen und gleich oder unterschiedliche Längen aufweisen; sie können aber auch gebogen oder *anderweitig geformt sein, soweit es mit ihrer Funktion als optische Leiter vereinbar ist*. Das Ausheben der Zwischenräume 12 kann durch unterschiedliche Techniken erfolgen. Denkbar ist ein mechanisches Ausheben mittels Schleifen oder Fräsen. Denkbar ist aber auch ein Abtragen mittels Laser oder durch chemische Verfahren.

Nachdem die Dünnglasschicht 11 strukturiert ist, werden zur Fertigstellung des optischen Sandwiches 15 die entstandenen Zwischenräume 13 mit einem Füllmaterial 14 aufgefüllt (Fig. 1D bzw. Fig. 5). Das Auffüllen hat einerseits den Vorteil, dass auf der Oberseite der Dünnglasschicht 11 eine mechanisch stabile ebene Oberfläche entsteht. Andererseits sorgt das Füllmaterial 14 - wenn es einen Brechungsindex aufweist, der kleiner ist als der Brechungsindex des Glases der Dünnglasschicht 11 - für eine Totalreflexion in den optischen Leitern 13 und damit für gute optische Leitungseigenschaften. Dieselben guten optischen Eigenschaften lassen sich aber auch erreichen, wenn - wie in Fig. 6 gezeigt - beim optischen Sandwich 15.4 die freien Oberflächen der strukturierten Dünnglasschicht 11 bzw. der optischen Leiter 13 mit einer vorzugsweise metallischen Reflexionsschicht 29 durch Aufdampfen, oder galvanische oder chemische Abscheidung beschichtet werden. Auch in diesem Fall können die verbleibenden Zwischenräume aus mechanischen Gründen nachträglich wieder mit einem Füllmaterial aufgefüllt werden.

Anstelle des aus zwei Schichten 10 und 11 bestehenden optischen Sandwiches 15 aus Fig. 1D können auch optische Sandwiches verwendet werden, die mehr als zwei Schichten umfassen. Beim optischen Sandwich 15.1 aus Fig. 2 ist die Dünnglasschicht 11 beidseitig mit Trägerplatten 10 und 16 verbunden. Hierdurch wird die mechanische Stabilität weiter erhöht. Gleichzeitig weist das optische Sandwich 15.1 auf Ober- und Unterseite als Verbindungsfläche das Leiterplattenmaterial der Trägerplatten 10 und 16 auf und ist daher besonders gut in den Fertigungsprozess der Leiterplatte zu integrieren.

Beim optischen Sandwich 15.2 der Fig. 3 wird über der ersten strukturierten Dünnglasschicht 11 eine zweite strukturierte Dünnglasschicht 17 angeordnet, die eine zweite optische Leitungsebene bildet und so mit wenig Platzaufwand für zusätzliche optische Verbindungen innerhalb der Leiterplatte sorgt. Auch bei der zweiten Dünnglasschicht 17 sind die Zwischenräume zweckmässigerweise durch ein Füllmaterial 18 aufgefüllt.

Beim optischen Sandwich 15.3 der Fig. 4 schliesslich ist auf den gegenüberliegenden Seiten der Trägerplatte 10 jeweils eine strukturierte Dünnglasschicht 11 und 17 mit durch Füllmaterial 14 bzw. 18 aufgefüllten Zwischenräumen vorgesehen, wodurch eine klare Trennung der Dünnglasschichten 11 und 17 erreicht wird. Es versteht sich von selbst, dass im Rahmen der Erfindung auch andere Kombinationen aus Dünnglasschichten und Trägerplatten denkbar sind.

Die fertigen optischen Sandwiches 15 bzw. 15.1 bis 15.4 können nun zusammen mit herkömmlichen, beidseitig metallisierten elektrischen Leiterplatten, in einem Stapel kombiniert und zu einer fertigen Leiterplatte für optische und elektrische Signale verbunden werden. Die mechanische Stabilität der Sandwiches ermöglicht dabei eine problemlose Integration in den Fertigungsprozess. Eine solche beispielhafte Leiterplatte 30 mit drei optischen und zwei elektrischen Leitungsebenen ist in Fig. 7 im Schnitt wiedergegeben. Die (drei) optischen Leitungsebenen OL der Leiterplatte 30 werden durch drei optische Sandwiches 15.1 gemäss Fig. 2 gebildet. Zwischen den optischen Leitungsebenen OL sind alternierend zwei elektrische Leitungsebenen EL angeordnet, die jeweils in herkömmlicher Weise aus einer dielektrischen Schicht 19 bzw. 20 bestehen, die beidseitig mit einer Metallschicht 21, 22 bzw. 23, 24 (z.B. Cu-Kaschierung) belegt ist. Alle Schichten sind miteinander verpresst bzw. verklebt. Sowohl die Dünnglasschichten der optischen Leitungsebenen OL als auch die Metallschichten der elektrischen Leitungsebenen EL sind nach den Erfordernissen der auf mittels der Leiterplatte 30 aufgebauten Schaltung strukturiert, wobei die Strukturierung der elektrischen Leitungsebenen EL auf an sich bekannte Weise (z.B. durch Ätzen der Metallschichten 21-24) ge-

schiebt; eine Strukturierung der Metallschichten 21-24 ist in Fig. 7 der Einfachheit halber nicht dargestellt. Selbstverständlich können zwischen den elektrischen Leitungsebenen EL Durchkontaktierungen vorgesehen werden, wie dies aus der Technik der mehrlagigen Leiterplatten bekannt und üblich ist.

Sollen durch die optischen Leitungsebenen OL optisch aktive Elemente bzw. Chips 25, 27 untereinander oder mit optischen Eingängen oder Ausgängen, Steckverbindungen oder dgl. verbunden werden, werden zur optischen Ankopplung der auf der Ober- und/oder Unterseite der Leiterplatte 30 angeordneten Elementen 25, 27 Koppelöffnungen 26, 28 in die Leiterplatte 30 eingebracht, durch welche die in einer optischen Leitungsebene OL liegenden verdeckten Dünnglasschichten 11 bzw. optischen Leiter 13 von aussen zugänglich sind. Entsprechend lassen sich rein elektronische Chips, die auf der Leiterplatte angeordnet sind, mittels (in Fig. 7 nicht gezeigter) Durchkontaktierungen mit den elektrischen Leitungsebenen EL verbinden.

BEZUGSZEICHENLISTE

10,16	Trägerplatte
11,17	Dünnglasschicht
12	Zwischenraum
13	optischer Leiter
14,18	Füllmaterial
15; 15.1-15.3	optisches Sandwich
19,20	dielektrische Schicht
21-24	Metallschicht (z.B. Cu)
25,27	optisch aktives Element (optischer Chip)
26,28	Koppelöffnung
29	Reflexionsschicht
30	Leiterplatte
EL	elektrische Leitungsebene
OL	optische Leitungsebene

PATENTANSPRÜCHE

1. Leiterplatte (30) mit wenigstens einer elektrischen Leitungsebene (EL) zur Weiterleitung von elektrischen Signalen und/oder Strömen sowie wenigstens einer optischen Leitungsebene (OL) zur Weiterleitung von optischen Signalen, welche Leitungsebenen (EL, OL) innerhalb der Leiterplatte in einem Stapel übereinander angeordnet und miteinander verbunden sind, dadurch gekennzeichnet, dass die optische Leitungsebene (OL) als leitendes Element wenigstens eine Dünnglasschicht (11, 17) umfasst.

2. Leiterplatte nach Anspruch 1, dadurch gekennzeichnet, dass die optische Leitungsebene (OL) jeweils durch ein optisches Sandwich (15; 15.1,...,15.3) gebildet wird, welches neben der wenigstens einen Dünnglasschicht (11, 17) wenigstens eine Trägerplatte (10, 16) umfasst, die mit der wenigstens einen Dünnglasschicht (11, 17) flächig verbunden ist.

3. Leiterplatte nach Anspruch 2, dadurch gekennzeichnet, dass das optische Sandwich (15.1) wenigstens zwei Trägerplatten (10, 16) umfasst, zwischen denen die wenigstens eine Dünnglasschicht (11) angeordnet ist.

4. Leiterplatte nach Anspruch 2, dadurch gekennzeichnet, dass das optische Sandwich (15.2, 15.3) wenigstens zwei Dünnglasschichten (11, 17) umfasst, welche mit der wenigstens einen Trägerplatte (10) flächig verbunden sind.

5. Leiterplatte nach Anspruch 4, dadurch gekennzeichnet, dass die wenigstens zwei Dünnglasschichten (11, 17) auf einer Seite der wenigstens einen Trägerplatte (10) angeordnet und miteinander flächig verbunden sind.

6. Leiterplatte nach Anspruch 4, dadurch gekennzeichnet, dass die wenigstens zwei Dünnglasschichten (11, 17) auf gegenüberliegenden Seiten der wenigstens einen Trägerplatte (10) angeordnet sind.

7. Leiterplatte nach einem der Ansprüche 2 bis 6, dadurch gekennzeichnet, dass die Trägerplatten (10, 16) aus einem elektrisch isolierenden Material, welches als Basismaterial für die Herstellung elektrischer Leiterplatten Verwendung findet, vorzugsweise aus einem aramidverstärkten Harz, bestehen.

8. Leiterplatte nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Dünnglasschichten (11, 17) eine Dicke kleiner gleich 1,1 mm aufweisen und aus einem Borosilikatglas bestehen.

9. Leiterplatte nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass die Dünnglasschichten (11, 17) und die Trägerplatten (10, 16) miteinander verklebt bzw. verpresst sind.

10. Leiterplatte nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass zumindest einzelne der Dünnglasschichten (11, 17) als durchgehende Schichten ausgebildet ist.

11. Leiterplatte nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass zumindest einzelne der Dünnglasschichten (11, 17) derart strukturiert sind, dass innerhalb der Schicht einzelne, durch Zwischenräume (12) voneinander getrennte optische Leiter (13) entstehen.

12. Leiterplatte nach Anspruch 11, dadurch gekennzeichnet, dass die freiliegenden Oberflächen der einzelnen optischen Leiter (13) mit einer Reflexionsschicht (29) bedeckt sind.

13. Leiterplatte nach einem der Ansprüche 11 und 12, dadurch gekennzeichnet, dass die Zwischenräume (12) zwischen den optischen Leitern (13) mit einem Füllmaterial (14, 18) aufgefüllt sind.

14. Leiterplatte nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, dass zur optischen Ankopplung von auf der Ober- und/oder Unterseite der Leiterplatte (30) angeordneten optisch aktiven Elementen (25, 27) Koppelöffnungen (26, 28) vorgesehen sind, durch welche die in einer optischen Leitungsebene (OL) liegende(n) verdeckte(n) Dünnglasschicht (11, 17) bzw. optischen Leiter (13) von aussen zugänglich sind.

15. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 1 bis 14, dadurch gekennzeichnet, dass in einem ersten Schritt wenigstens eine Dünnglasschicht (11, 17) mit wenigstens einer Trägerplatte (10, 16) ganzflächig zu einem optischen Sandwich (15; 15.1,...,15.3) verbunden wird, und dass in einem zweiten Schritt das optische Sandwich (15; 15.1,...,15.3) als optische Leitungsebene (OL) mit einer oder mehreren elektrischen Leitungsebene(n) (EL) in einer Stapelanordnung zu der Leiterplatte (30) verbunden wird.

16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, dass die Dünnglasschicht (11, 17) und die Trägerplatte (10, 16) durch Verpressen bzw. Verkleben miteinander verbunden werden.

17. Verfahren nach einem der Ansprüche 15 und 16, dadurch gekennzeichnet, dass zwischen dem ersten und dem zweiten Schritt die mit der Trägerplatte (10, 16) verbundene Dünnglasschicht (11, 17) strukturiert wird.

18. Verfahren nach Anspruch 17, dass zum Strukturieren der Dünnglasschicht (11, 17) in vorbestimmten Bereichen die Dünnglasschicht abgetragen wird, so dass durch Zwischenräume (12) voneinander getrennte, einzelne optische Leiter (13) entstehen.

19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, dass die Abtragung der Dünnglasschicht (11, 17) mittels Laser, mechanisch oder auf chemischem Wege erfolgt.

20. Verfahren nach einem der Ansprüche 17 bis 19, dadurch gekennzeichnet, dass die freie Oberfläche der strukturierten Dünnglasschicht (11) mit einer Reflexionsschicht (29), vorzugsweise aus einem Metall, durch Aufdampfen, galvanische oder chemische Abscheidung beschichtet wird.

21. Verfahren nach einem der Ansprüche 17 die 20, dadurch gekennzeichnet, dass die Zwischenräume (12) der strukturierten Dünnglasschicht (11, 17) mit einem Füllmaterial (14, 18) aufgefüllt werden, welches einen Brechungsindex aufweist, der kleiner ist als der Brechungsindex des Glases der Dünnglasschicht (11, 17).

1/4

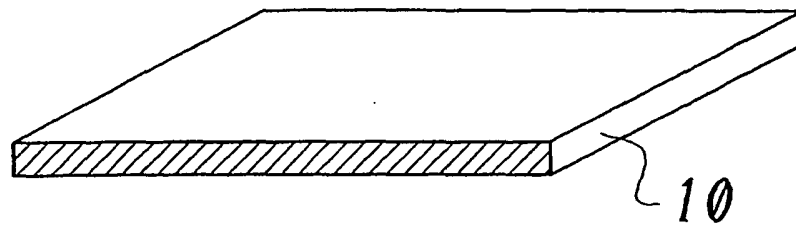


Fig. 1A

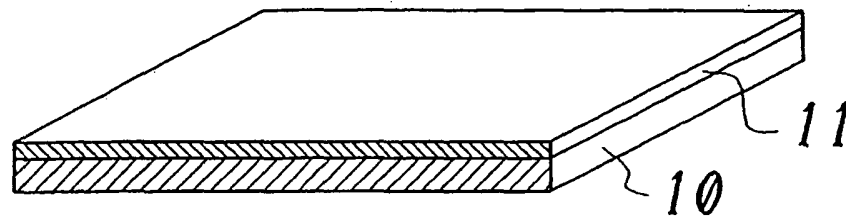


Fig. 1B

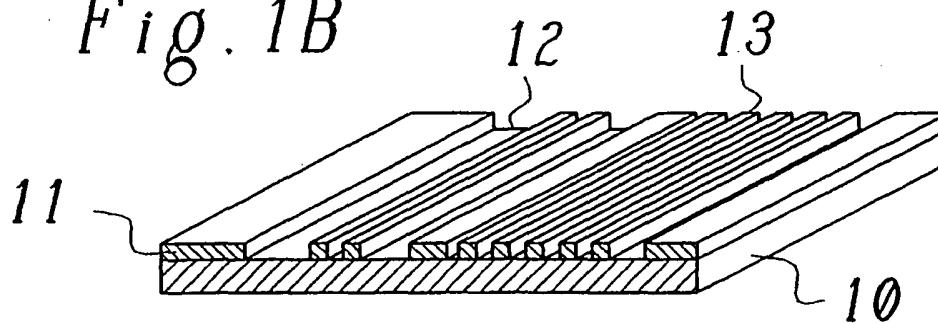


Fig. 1C

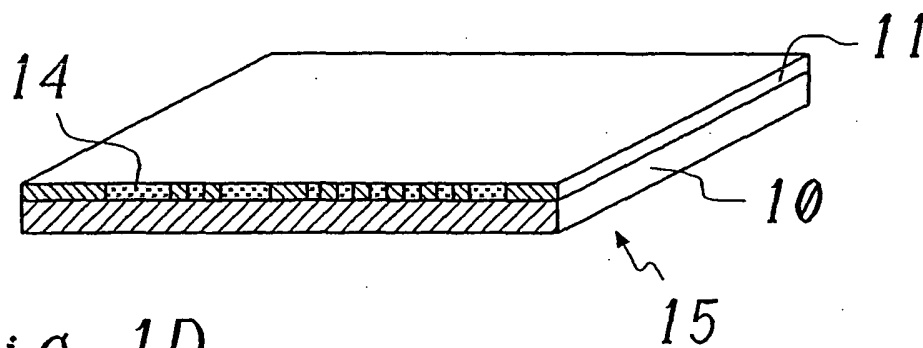


Fig. 1D

2/4

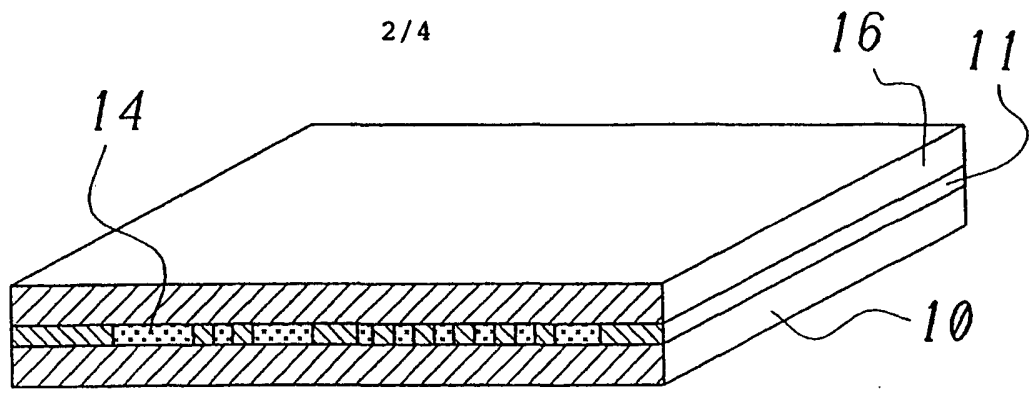


Fig. 2

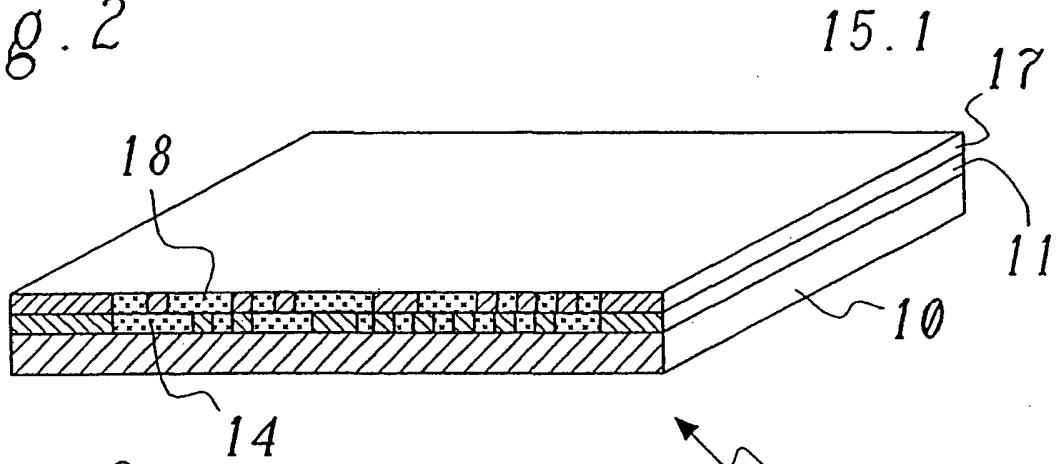


Fig. 3

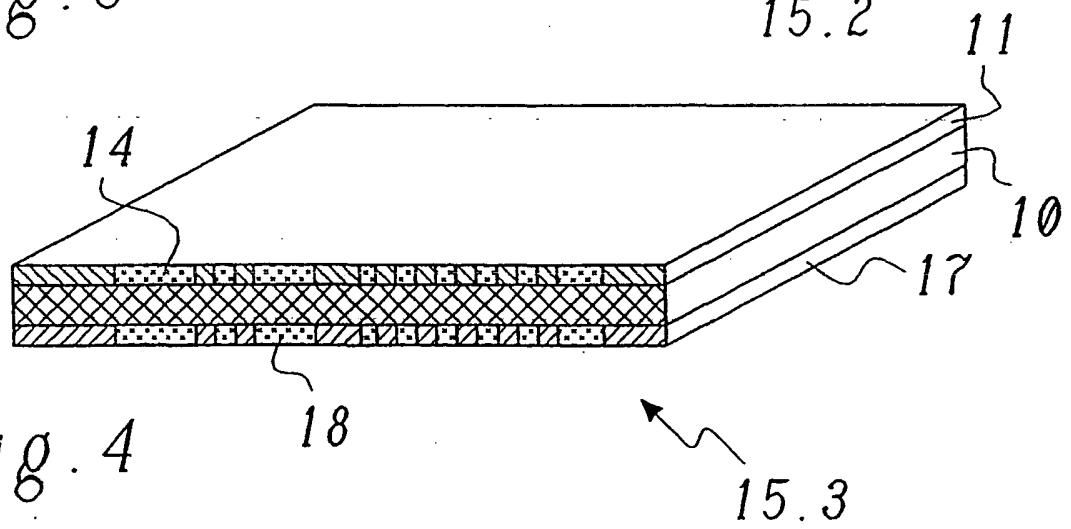


Fig. 4

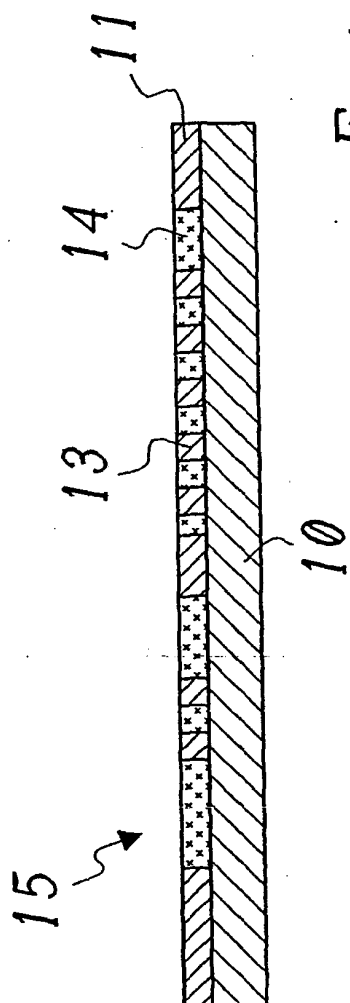


Fig. 5

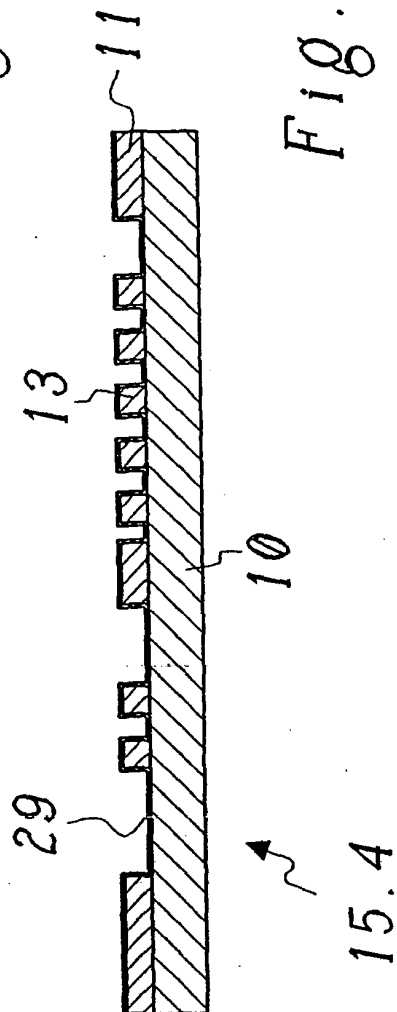


Fig. 6

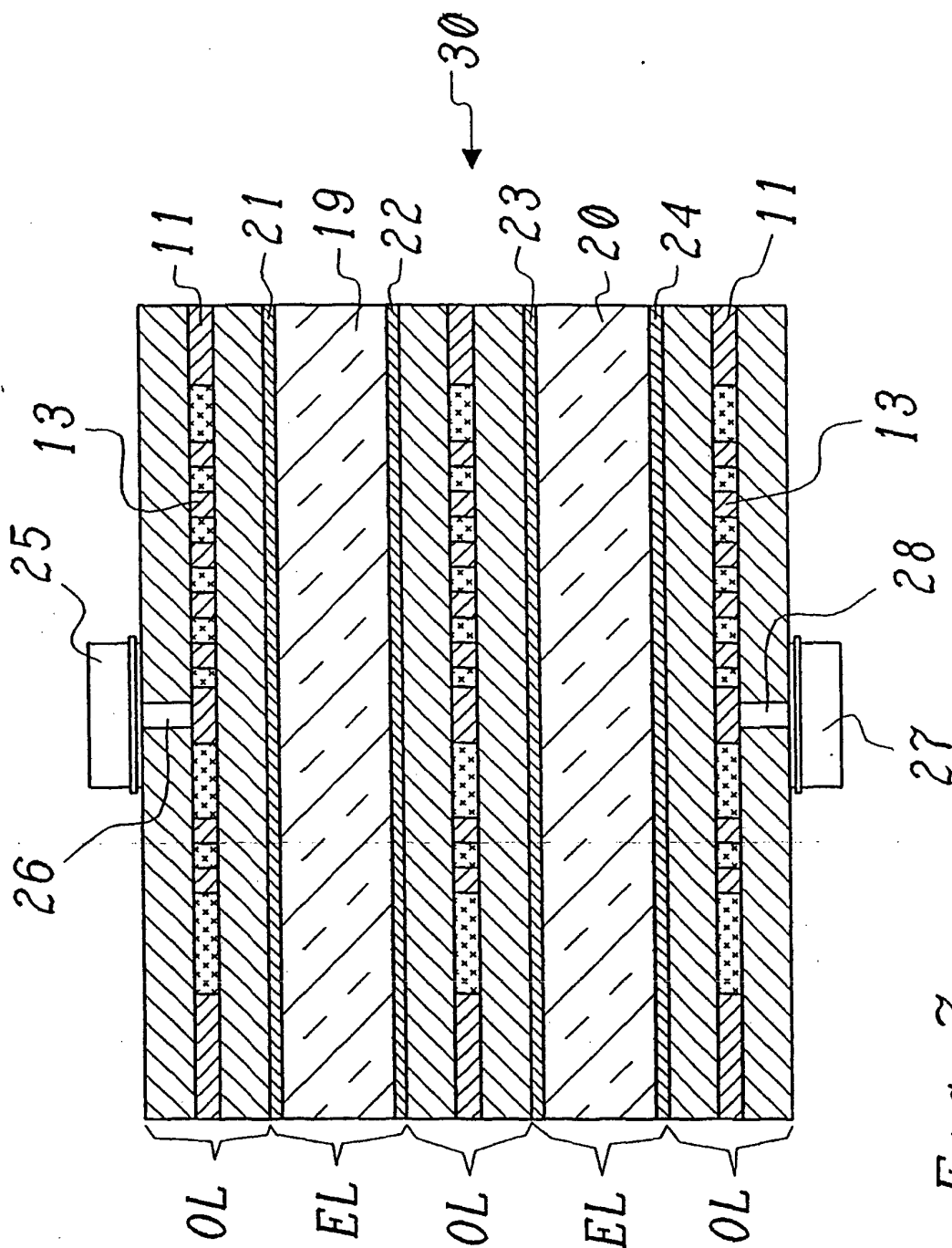


Fig. 7

INTERNATIONAL SEARCH REPORT

International Application No

PCT/CH 00/00056

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G02B6/43 G02B6/13

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G02B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 90 01176 A (KONECHNY EDWARD THOMAS JR) 8 February 1990 (1990-02-08) abstract; figures 1-3,5 page 6, line 5 - line 27 page 9, paragraph 1	1-7, 10, 11, 14, 15, 17-19
A		8, 12, 20, 21
A	EP 0 581 012 A (MOTOROLA INC) 2 February 1994 (1994-02-02) column 4, line 47 - line 55	1, 9, 13, 15, 16
A	US 5 249 245 A (LEBBY MICHAEL S ET AL) 28 September 1993 (1993-09-28) abstract; figures 1,3	1-22

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

18 April 2000

Date of mailing of the international search report

28/04/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Jakober, F

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/CH 00/00056

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9001176 A	08-02-1990	US 4758063 A	19-07-1988
EP 0581012 A	02-02-1994	US 5271083 A	14-12-1993
		DE 69321416 D	12-11-1998
		DE 69321416 T	29-04-1999
		JP 6067050 A	11-03-1994
US 5249245 A	28-09-1993	NONE	

INTERNATIONALER RECHERCHENBERICHT

Intern. Aktenzeichen

PCT/CH 00/00056

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G02B6/43 G02B6/13

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G02B

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 90 01176 A (KONECHNY EDWARD THOMAS JR) 8. Februar 1990 (1990-02-08) Zusammenfassung; Abbildungen 1-3,5 Seite 6, Zeile 5 - Zeile 27 Seite 9, Absatz 1	1-7,10, 11,14, 15,17-19
A		8,12,20, 21
A	EP 0 581 012 A (MOTOROLA INC) 2. Februar 1994 (1994-02-02) Spalte 4, Zeile 47 - Zeile 55	1,9,13, 15,16
A	US 5 249 245 A (LEBBY MICHAEL S ET AL) 28. September 1993 (1993-09-28) Zusammenfassung; Abbildungen 1,3	1-22

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"A" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18. April 2000

Absendedatum des internationalen Recherchenberichts

28/04/2000

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Jakober, F

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/CH 00/00056

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 9001176 A	08-02-1990	US 4758063 A	19-07-1988
EP 0581012 A	02-02-1994	US 5271083 A	17-12-1993
		DE 69321416 D	12-11-1998
		DE 69321416 T	29-04-1999
		JP 6067050 A	11-03-1994
US 5249245 A	28-09-1993	KEINE	